DIGITALNA TEHNIKA

(4. kolokvij)

30. 5. 2006

1. Izračunajte prevodnostne četveropolne parametre *g* pri krmiljenju z majhnimi počasnimi harmoničnimi signali za MOS tranzistor z induciranim N kanalom v orientaciji s skupnim izvorom ter narišite ustrezno nadomestno vezje, če je delovna točka tranzistorja v področju pod nasičenjem ($U_{DS}=0.5V$ $U_{GS}=3V$). Izračunajte tudi napetostno ojačenje A_U za majhne signale, če je na izhod tranzistorja priključeno breme R_B=10 kΩ.

k=1mA/V^2 U_T=0.8V

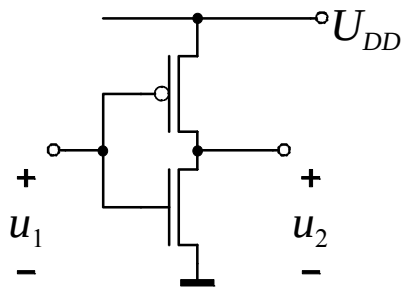
2. Določite $(W/L)_P$ PMOS tranzistorja, da bo napetost preklopa CMOS inverterja U_M na polovici napajalne napetosti U_{DD}.

U_{TP} = -0.74 V U_{TN} = 0.74 V

k_P' = 27 μA/V^2 k_N' = 80 μA/V^2

$(W/L)_N$ = 1.8/1.2

U_{DD} = 5V

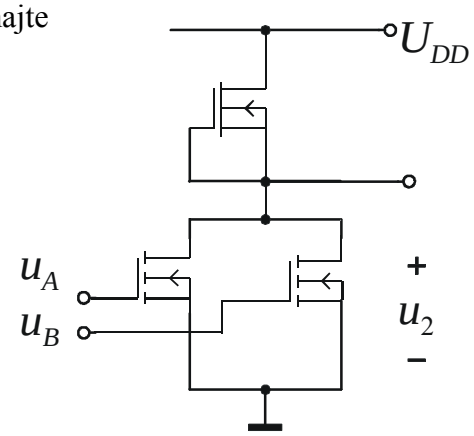


3. Za psevdo NMOS vrata določite logično funkcijo in izračunajte izhodni napetosti nizkega stanja neobremenjenih vrat.

U_{TN} = 2 V U_{TBR} = -2 V

K_N = 1 mA/V^2 K_P = 0.4 mA/V^2

U_{DD} = 5 V



4. Narišite realizacijo logične funkcije $Y = \overline{A} \cdot B + C$ v CMOS tehnologiji. Pred realizacijo lahko funkcijo poenostavite z uporabo pravil Booleove algebre.

Čas pisanja je 60 minut. Vsaka naloga je vredna 10 točk. Na list z rešitvami se podpišite in napišite svojo vpisno številko. Rezultati bodo objavljeni na spletni strani sistema E-študent. Ustni izpit za tiste, ki boste opravili izpit s kolokviji, bo v torek 6.6.2006 v P12 ob 11.uri.